

PAT-NO: JP403214084A

DOCUMENT-IDENTIFIER: JP 03214084 A

TITLE: MEASURING METHOD FOR PROPAGATION DELAY TIME OF
SEQUENTIAL CIRCUIT

PUBN-DATE: September 19, 1991

INVENTOR-INFORMATION:

NAME

KITAMURA, KATSUYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ROHM CO LTD	N/A

APPL-NO: JP02010162

APPL-DATE: January 18, 1990

INT-CL (IPC): G01R031/318, G01R031/26, G04F010/00

US-CL-CURRENT: 714/724

ABSTRACT:

PURPOSE: To measure correct propagation delay time by calculating a propagation delay time difference from a oscillation cycle of a loop circuit in which n sequential circuits ((n) being an even number with $n \geq 2$) or the like are connected alternately and a difference as resulted from a connection of $n(n+1)$ EOR gates.

CONSTITUTION: In a loop circuit, an output of an EX-OR gate is connected to a clock input terminal of a D type FF(D-FF) while a part of an output Q of the D-FF is connected to one input terminal of the EX-OR gate to feed back and furthermore, an inversion output of the D-FF is connected to own input terminal D. Likewise, an output of the D-FF is connected to an EX-OR gate and one input terminal of the EX-OR gates of the D-FF. In this manner, n D-FFs ((n) being an even number with $n \geq 2$) are connected to the EX-OR gates alternately in sequence and moreover, the output Q of a final D-FF is connected to the initial EX-OR gate through an EX-OR gate. A control signal is inputted into one input terminal of the EX-OR gate and a frequency counter 10 is connected to the

output Q of the D-FF at the final stage to measure an oscillation frequency of the loop circuit.

COPYRIGHT: (C)1991,JPO&Japio

⑪ 公開特許公報 (A) 平3-214084

⑫ Int. Cl. 5

G 01 R 31/318
31/26
G 04 F 10/00

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月19日

G 8203-2C
Z 7809-2F

6912-2G G 01 R 31/28

A

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 順序回路の伝搬遅延時間測定方法

⑮ 特願 平2-10162

⑯ 出願 平2(1990)1月18日

⑰ 発明者 北村 勝之 京都府京都市右京区西院溝崎町21番地 ローム株式会社内

⑱ 出願人 ローム株式会社 京都府京都市右京区西院溝崎町21番地

⑲ 代理人 弁理士 吉田 研二 外2名

明細書

1. 発明の名称

順序回路の伝搬遅延時間測定方法

2. 特許請求の範囲

n 個 ($n \geq 2$ の偶数) の順序回路及び ($n + 1$) 個の排他的論理和ゲートを交互に接続して形成されるループ回路の発振周期と前記 ($n + 1$) 個の排他的論理和ゲートを接続して形成されるループ回路の発振周期との差から前記順序回路の伝搬遅延時間を算出することを特徴とする順序回路の伝搬遅延時間測定方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は順序回路の伝搬遅延時間測定方法、特にD型フリップフロップ (D-F) やトリガフリップフロップ (T-F) などの伝搬遅延時間を正確に測定する方法に関する。

【従来の技術】

従来、NOTゲート、NANDゲート、NORゲート等の論理素子の伝搬遅延時間を実測する方

法として、これらの論理素子を奇数個ループ状に接続し (リングカウンタ) 、このループ回路の発振周波数を求ることにより伝搬遅延時間を算出していた。

以下、図面を用いてこの従来の伝搬遅延時間測定方法を詳細に説明する。

第5図は論理素子としてNANDゲートの伝搬遅延時間を測定する場合を示す。複数 n 個 ($n \geq 2$: 但し n は奇数) のNANDゲート $Z_1 \sim Z_n$ は直列に接続され、各NANDゲートの出力が次段のNANDゲートに入力される。NANDゲート Z_1 の一方の入力端子にはコントロール信号CONTが入力され、他方の入力端子には最終段のNANDゲート Z_n の出力が入力される。

また、NANDゲート $Z_2 \sim Z_n$ の他方の入力端子には電源が接続され、常に論理値1が入力される。そして、最終段のNANDゲート Z_n の出力端子はこのループ回路の発振周波数を計測する周波数カウンタ10に接続される構成である。

さて、コントロール信号CONTが論理値0で

ある場合、直列に接続された各NANDゲート $Z_1, Z_3, \dots, Z_{2m+1}$ ($m = 0, 1, 2, \dots$) の出力は1となり、一方 Z_2, Z_4, \dots, Z_{2m} の出力は0となる。

ここで、コントロール信号CONTを論理値1に変化させると、NANDゲート Z_1 の入力端子にはコントロール信号CONTからの論理値1と最終段のNANDゲート Z_n からの論理値1が入力されるため、その出力は1から0に変化する。そして、NANDゲート Z_1 の出力は、NANDゲート Z_2 の一方の入力端子に接続されているため、NANDゲート Z_2 には電源からの論理値1と前段のNANDゲート Z_1 からの出力0とが入力され、1が出力される。すると、NANDゲート Z_3 には、電源からの論理値1とNANDゲート Z_2 からの出力1とが入力され、その出力はNANDゲート Z_1 と同様に0となる。以下、同様にして順次信号が伝搬していく、結局、奇数番目のNANDゲート $Z_1, Z_3, \dots, Z_{2m+1}$ ($m = 0, 1, \dots$) の出力は0となり、一方、偶数番

日のNANDゲート $Z_2, Z_4, Z_6, \dots, Z_{2m}$ の出力は1となる。

前述したように、NANDゲートは奇数個接続されているため、NANDゲート Z_n からの最終的な出力は1から0に変化する。

すると、NANDゲート Z_1 にはコントロール信号CONTからの1とNANDゲート Z_n からの0とが入力されることとなり、その出力は0から再び1となる。そして、この変化が順次伝搬していく、前述した動作と同様にしてNANDゲート Z_n からの出力は再び0から1に変化する。

このように、コントロール信号CONTに論理値1を入力すると、このループ回路の出力は0と1とが交互に入れ替わり発振することとなる。この発振は各NANDゲート $Z_1 \sim Z_n$ の伝搬遅延時間が有限であるために生じるのであり、従って、この発振周波数を周波数カウンタ10にて計測しその逆数である発振周期 $1/f$ を求め、これをNANDゲートの数nで除算することにより、1個のNANDゲートの伝搬遅延時間を求めることができる。

できる。

【発明が解決しようとする課題】

このように、NANDゲートなどの論理素子の場合には、これらを単に複数個接続してループ回路を構成し、その発振周期から論理素子の伝搬遅延時間を算出することが可能であるが、フリップフロップなどの順序回路の場合には安定状態が2つ存在するためこのように単に接続したのみではループ回路は発振せず、従って伝搬遅延時間を求めることができないという問題があった。

本発明は上記従来の課題に鑑みなされたものであり、その目的はフリップフロップなどの順序回路の伝搬遅延時間を正確に測定できる方法を提供することにある。

【課題を解決するための手段】

上記目的を達成するために、本発明の順序回路の伝搬遅延時間測定方法は、n個 ($n \geq 2$ の偶数) の順序回路及び ($n+1$) 個の排他的論理和ゲートを交互に接続して形成されるループ回路の発振周期と前記 ($n+1$) 個の排他的論理和ゲートを

接続して形成されるループ回路の発振周期との差から伝搬遅延時間を算出することを特徴としている。

【作用】

このように、本発明の順序回路の伝搬遅延時間測定方法は、まず、排他的論理和ゲートと順序回路を交互に接続してこのループ回路を発振させ、その発振周期から順序回路と排他的論理和ゲートの総伝搬遅延時間を求める。そして、排他的論理和ゲートのみのループ回路の発振周期から排他的論理和ゲートの総伝搬遅延時間を求め、前者と後者の差を求ることにより順序回路のみの伝搬遅延時間を正確に測定することができる。

【実施例】

以下、図面を用いながら、本発明に係る順序回路の伝搬遅延時間測定方法の好適な実施例を説明する。

第1実施例

第1図にD型フリップフロップ(以下、D-F-Fという)の伝搬遅延時間を測定するための回路

構成図を示す。周知のごとく、D-F FはD入力端子とクロック入力端子とを有し、D端子に0又は1を与えておいて、しかもクロック端子に1を入力して初めて出力Qが変換されるフリップフロップである。さて、本第1実施例においては、このD-F F及び他の論理和ゲート（以下、EX-ORゲートという）を用いて以下のように交互に接続してループ回路を形成している。

すなわち、第1図（A）に示すように、D-F Fのクロック入力端子にEX-ORゲートの出力を接続し、かつD-F Fの出力Qの一郎をこのEX-ORゲートの一の入力端子に接続して帰還する。さらに、D-F Fの反転出力 \bar{Q} を自身のD入力端子に接続する。そして、同様にして接続されたEX-ORゲートとD-F FのEX-ORゲートの一方の入力端子にこのD-F Fの出力を接続する。

このようにして順次n個（n≥2の偶数）のD-F FとEX-ORゲートとが交互に接続され、更に本第1実施例においては最終段のD-F Fの

Q出力と初段のEX-ORゲートとがEX-ORゲートを介して接続され、ループ回路が構成される。そして、ループ回路を構成するこのEX-ORゲートの一方の入力端子にコントロール信号が入力され、このループ回路の発振周波数を計測するための周波数カウンタ10が最終段のD-F FのQ出力に接続される構成である。

以下、第2図を用いてこのループ回路の動作を説明する。なお、便宜のため各EX-ORゲートに $A_1 \sim A_{n+1}$ 、D-F Fに $X_1 \sim X_n$ と符号を付す。

まず、第2図（A）に示すように、各D-F F $X_1 \sim X_n$ のリセット端子にリセット信号RESETを入力して各D-F FのQ出力を0、 \bar{Q} 出力を1とする。また、コントロール信号CONT1も0とし、各EX-ORゲート $A_1 \sim A_{n+1}$ の出力をいずれも0とする。

ここで、第2図（B）に示すようにコントロール信号CONT1を0から1に変化させる。すると、EX-ORゲート A_{n+1} の入力端子には1と

0が入力されるため、その出力は0から1に変化する。そして、EX-ORゲート A_1 の入力端子にはEX-ORゲート A_{n+1} からの出力1とD-F F X_1 のQ出力0とが入力されるため、その出力は0から1に変化し、D-F F X_1 のクロック端子に1が入力される。

すると、このD-F F X_1 のD端子の論理値（即ち \bar{Q} の論理値1）がQに出力され、Q出力が0から1に変化する。そして、このQ出力の0から1への変化は順次EX-ORゲート $A_2 \sim A_n$ 並びにD-F F $X_2 \sim X_n$ に伝播し、最終段のD-F F X_n のQ出力から1が出力される。

一方、各D-F F $X_1 \sim X_n$ のQ出力の一部は前段のEX-ORゲート $A_1 \sim A_n$ の一方の入力端子に帰還されており、従って各D-F FのQ出力が0から1に変化したときには、各前段のEX-ORゲートの出力はその入力端子と共に1が入力されるため1から0に変化する。すると、第2図（C）に示すように各D-F Fのクロック端子は1から0に変化し、各D-F F $X_1 \sim X_n$ のQ

出力からは1が出力し続ける。

このように、コントロール信号CONT1に1が入力されると、各D-F FのQ出力からは順次1が出力されることとなるが、最終段のD-F F X_n のQ出力はEX-ORゲート A_{n+1} の一方の入力端子に接続されている。

従って、D-F F X_n のQ出力が0から1に変化すると、EX-ORゲート A_{n+1} の入力端子には第2図（D）に示すように共に1が入力されるため、その出力は1から0に戻る。

すると、EX-ORゲート A_1 の入力端子にはこのEX-ORゲート A_{n+1} の出力0と、D-F F X_1 のQ出力1が入力されるため、その出力は0から1に変化し、D-F F X_1 のクロックが再び立ち上がる。D-F F X_1 のD端子には \bar{Q} 出力である0が入力されているため、クロックが立ち上るとQ出力は1から0に変化する。以下、同様にして順次各D-F FのQ出力は1から0に変化し、この変化が順次次段に伝播して、結局最終段のD-F F X_n のQ出力も1から0に変化する。

そして、この最終段の $D-F F X_n$ の Q 出力の 1 から 0 への変化は、EX-OR ゲート A_{n+1} に入力され、この EX-OR ゲート A_{n+1} の入力端子には再び 1 と 0 が入力され、第 2 図 (B) の関係に再び戻ってその出力は 0 から 1 に変化する。

このように、コントロール信号 $CONT_1$ に 1 が入力されている間、 $D-F F X_n$ の Q 出力は 1 と 0 が交互に入れ替わって発振し、この発振周波数が周波数カウンタ 10 にて検出される。この回路の発振は、各 $D-F F X_1 \sim X_n$ 及び EX-OR ゲート $A_1 \sim A_n$ が有限の伝搬遅延時間を持つことに起因しており、従ってこの発振周波数の逆数 $1/f$ にて発振周期を算出することにより、 $D-F F$ 及び EX-OR ゲートからなるこのループ回路の伝搬遅延時間が求まることとなる。

一方、第 1 図 (B) は第 1 図 (A) にて用いた EX-OR ゲートの伝搬遅延時間を算出するための回路構成を示したものである。 n 個の EX-OR ゲート $A_1 \sim A_n$ は第 1 図 (A) の $D-F F$ のクロック端子の特性と合わせこむための負荷 C_1

からの出力とコントロール信号 $CONT_3$ からの 0 が入力されるため、その出力は前段の出力の論理値と逆の論理値に変化し、この変化が順次伝搬して最終段の EX-OR ゲート A_n から 0 (または 1) が出力される。

そして、最終段の EX-OR ゲート A_n の出力端子と EX-OR ゲート A_{n+1} の入力端子は前述したように接続されており、従って、この EX-OR ゲート A_n の出力の 1 から 0 (または 0 から 1) への変化は EX-OR ゲート A_{n+1} の入力端子の変化となり、この EX-OR ゲート A_{n+1} の入力端子には 1 と 0 (または 1) が入力されるためその出力は 0 から 1 (または 1 から 0) に変化する。すると、各 EX-OR ゲート $A_1 \sim A_n$ の出力論理値は前段の出力論理値と逆の論理値に変化する。この変化が順次伝搬して最終段の EX-OR ゲート A_n 出力が 0 から 1 (または 1 から 0) に変化する。

このように、コントロール信号 $CONT_2$ を 0 から 1 に変化させると、EX-OR ゲート A_n の

～ C_n と共に直列に接続され、EX-OR ゲート A_n の出力端子が EX-OR ゲート A_{n+1} の入力端子に接続されループ回路を構成している。そして、EX-OR ゲート A_n の出力端子は、周波数カウンタ 10 に接続され、このループ回路の発振周波数を計測することができる構成である。

さて、EX-OR ゲート A_{n+1} の一方の入力端子にコントロール信号 $CONT_2$ として 0、そして各 EX-OR ゲート $A_1 \sim A_n$ の一方の入力端子にコントロール信号 $CONT_3$ として 1 を入力する。すると、奇数番目の EX-OR ゲートの出力は 0 (または 1) となり、偶数番目の EX-OR ゲートの出力は 1 (または 0) となる。

ここで、コントロール信号 $CONT_3$ を 1 に維持しつつ、コントロール信号 $CONT_2$ を 0 から 1 に変化させると、EX-OR ゲート A_{n+1} の 2 つの入力端子には 1 と 1 (または 0) が入力されるため、その出力は 1 から 0 (または 0 から 1) に変化する。すると、各 EX-OR ゲート $A_1 \sim A_n$ の入力端子にはその前段の EX-OR ゲート

出力は 1 と 0 が交互に入れ替わって発振し、この発振周波数を周波数カウンタ 10 にて検出し、その逆数にて発振周期を算出することにより、EX-OR ゲートの総伝搬遅延時間が算出されることとなる。

すると、第 1 図 (A) の回路構成にて $D-F F$ 及び EX-OR ゲートの総伝搬遅延時間が算出され、一方、第 1 図 (B) の回路構成にて EX-OR ゲートのみの伝搬遅延時間が算出されるため、これらの伝搬遅延時間の差を求めるこことにより、 n 個の $D-F F$ の伝搬遅延時間が求まることとなる。1 個の $D-F F$ の伝搬遅延時間を求めるには、こうして求められた伝搬遅延時間を n で除算することにより容易に算出することができる。

第 2 実施例

第 3 図にトリガフリップフロップ (以下、T-F F という) の伝搬遅延時間を測定するための回路構成図を示す。第 1 実施例と同様に EX-OR ゲートと T-F F とが交互に接続されてループ回路を構成しているが、第 1 実施例との相違は各 E

X-ORゲートの出力がT-FFのT端子に接続され、T-FFのQ出力の一部がEX-ORゲートの一方の入力端子に帰還されていることである。

さて、各T-FFのリセット端子にリセット信号RESETを入力した後、コントロール信号CONT4を1にすると、EX-ORゲートA_{n+1}からの出力は1となる。すると、EX-ORゲートA₁の出力は1となり、T-FFY₁のQ出力は1となる。そして、このQ出力の0から1への変化が順次次段のT-FFに伝搬し、最終段のT-FFY_nのQ出力が1となる。なお、この時T-FFのT端子は再び0に変化する。

最終段のT-FFY_nのQ出力はEX-ORゲートA_{n+1}の入力端子に接続されており、従ってT-FFY_nのQ出力が1となると、EX-ORゲートA_{n+1}の出力は1から0に変化する。EX-ORゲートA₁の一方の入力端子にはT-FFからのQ出力が帰還されており、従ってEX-ORゲートA₁の出力は1となり、T-FFY₁のQ出力は0となる。

4. 図面の簡単な説明

第1図は、本発明に係る順序回路の伝搬遅延時間測定方法の第1実施例の回路構成図。

第2図は同実施例の作用説明図。

第3図は本発明の第2実施例の回路構成図。

第4図は本発明の他の実施例の回路構成図。

第5図は従来の伝搬遅延時間測定方法における回路構成図である。

X₁ ~ X_n … D型フリップフロップ

Y₁ ~ Y_n … トリガフリップフロップ

A₁ ~ A_{n+1} … 排他的論理和ゲート

出版人 ローム株式会社

代理人 弁理士 吉田研二

(外2名) [8-88]

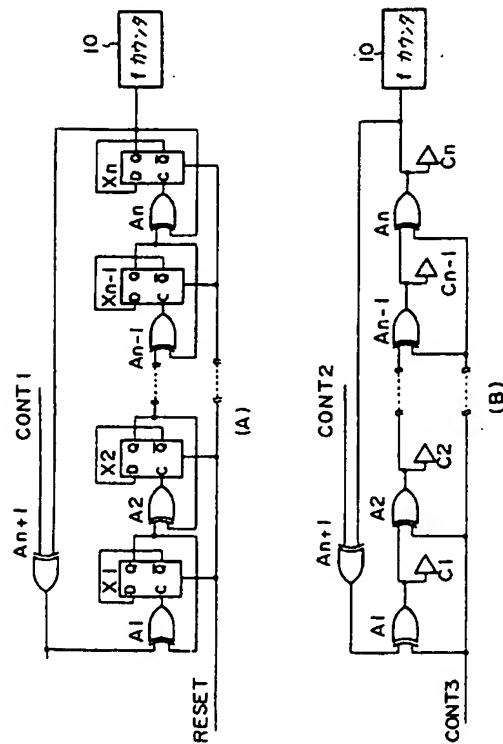
そして、このQ出力の変化が順次伝搬していき、最終段のT-FFY_nのQ出力も1から0に変化する。

このように、本第2実施例においてもCONT4に1を入力するとこのループ回路は発振し、この発振周波数を周波数カウンタ10にて計測してその逆数である発振周期を算出し、第1実施例と同様にして第1図(B)の構成におけるEX-ORゲートの伝搬遅延時間との差を求めることにより、T-FFの伝搬遅延時間が求まることとなる。

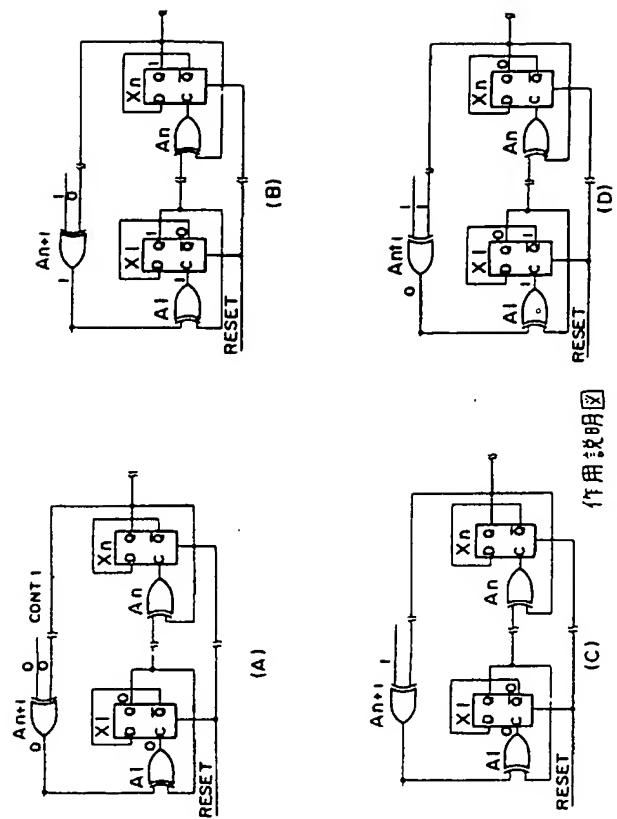
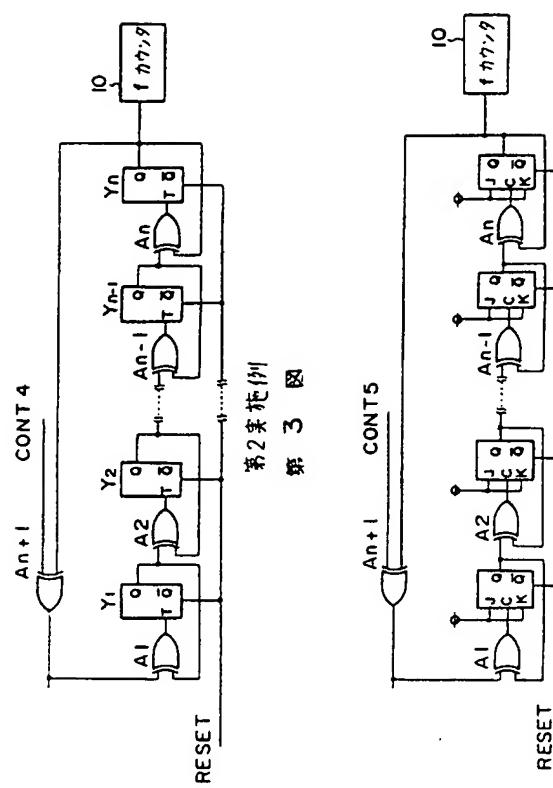
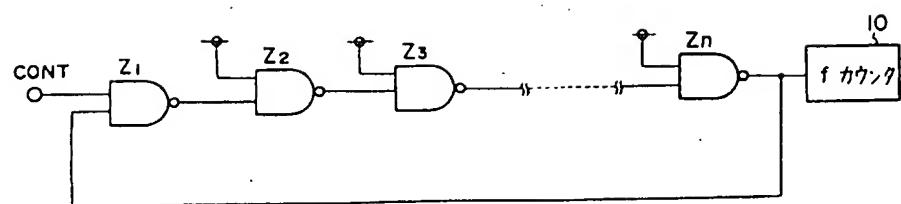
なお、上記第1、第2実施例では順序回路としてD-FF及びT-FFの伝搬遅延時間求めたが、JK-FFの場合においても第4図に示すようにEX-ORゲートと交互に接続することにより伝搬遅延時間を測定することができる。

【発明の効果】

以上説明したように、本発明に係る順序回路の伝搬遅延時間測定方法によれば、フリップフロップなどの順序回路の伝搬遅延時間を正確に測定することが可能となる。



第1実施例
第1図

第2実施例
第2図他の実施例
第4図

従来例

第5図